

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6405455号
(P6405455)

(45) 発行日 平成30年10月17日 (2018.10.17)

(24) 登録日 平成30年9月21日 (2018.9.21)

(51) Int.Cl.

F I

HO 4 N 5/357 (2011.01)

HO 4 N 5/357

HO 4 N 5/378 (2011.01)

HO 4 N 5/378

HO 4 N 5/225 (2006.01)

HO 4 N 5/225 3 0 0

A 6 1 B 1/045 (2006.01)

HO 4 N 5/225 5 0 0

A 6 1 B 1/045 6 1 1

請求項の数 6 (全 23 頁)

(21) 出願番号 特願2017-513904 (P2017-513904)

(86) (22) 出願日 平成27年4月23日 (2015.4.23)

(86) 国際出願番号 PCT/JP2015/062393

(87) 国際公開番号 WO2016/170642

(87) 国際公開日 平成28年10月27日 (2016.10.27)

審査請求日 平成30年1月16日 (2018.1.16)

(73) 特許権者 000000376

オリンパス株式会社

東京都八王子市石川町2951番地

(74) 代理人 100106909

弁理士 棚井 澄雄

(74) 代理人 100094400

弁理士 鈴木 三義

(74) 代理人 100086379

弁理士 高柴 忠夫

(74) 代理人 100139686

弁理士 鈴木 史朗

(72) 発明者 齋藤 匡史

東京都八王子市石川町2951番地 オリ

ンパス株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置、内視鏡、および内視鏡システム

(57) 【特許請求の範囲】

【請求項1】

画素信号を出力する複数の画素と、

前記画素信号を処理し、かつ、前記画素信号に基づく撮像信号を出力する画素信号処理回路と、

基準信号を生成する基準信号生成回路と、

前記撮像信号の第1のレベルを、前記第1のレベルが前記基準信号の第2のレベルから離れる方向にシフトさせる、または前記第2のレベルを、前記第2のレベルが前記第1のレベルから離れる方向にシフトさせるレベルシフト回路と、

前記基準信号生成回路によって生成された前記基準信号と、前記レベルシフト回路によって前記第1のレベルがシフトされた前記撮像信号とを撮像信号処理回路に出力する、または前記レベルシフト回路によって前記第2のレベルがシフトされた前記基準信号と、前記画素信号処理回路から出力された前記撮像信号とを出力する信号出力端子と、

を有し、

前記撮像信号処理回路は、前記信号出力端子から出力された前記基準信号と前記撮像信号との差を演算する

撮像装置。

【請求項2】

前記複数の画素に光が入射しないときに前記信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの大きさの関係と、前記複数の画素に光が入射したときに前記

10

20

信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの大きさの関係とは、同一である

請求項 1 に記載の撮像装置。

【請求項 3】

前記複数の画素に光が入射しないときに前記信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの差は、前記信号出力端子から出力される前記基準信号と前記撮像信号とのレベルの差の最大値に対して 20 % 以内である

請求項 1 に記載の撮像装置。

【請求項 4】

前記画素信号処理回路を動作させる基準電圧を生成する基準電圧生成回路をさらに有し 10

前記基準信号生成回路は、前記基準電圧から前記基準信号を生成する

請求項 1 に記載の撮像装置。

【請求項 5】

被検体に挿入される挿入部を有し、

請求項 1 ～請求項 4 のいずれか 1 つに記載の撮像装置が前記挿入部の先端に配置された内視鏡。

【請求項 6】

請求項 5 に記載の内視鏡と、

前記撮像信号処理回路と、

前記撮像信号処理回路によって演算された前記差に基づく差信号を処理し、かつ、前記差信号に基づく画像信号を生成する画像信号生成回路と、

を有する内視鏡システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置、内視鏡、および内視鏡システムに関する。

【背景技術】

【0002】

従来、CMOS (Complementary Metal-Oxide Semiconductor) イメージセンサ等の撮像装置は、複数の画素の行毎に転送された撮像信号をサンプルホールド回路で保持する。さらに、撮像装置は、保持された撮像信号を 1 画素毎に水平出力信号線に順次出力する。撮像装置の外部に設けられたアナログ・フロント・エンド回路は、基準信号（電源電圧）と撮像信号との差分を演算することによって、撮像装置の固定パターンノイズが低減された撮像信号を生成することができる。 30

【0003】

特許文献 1 では、赤外線センサにおいて、pn 接合に発生するジュール熱に起因するノイズ成分を低減する技術が開示されている。この技術では、撮像装置における CDS (correlated double sampling) と同様の原理により、有効信号を含む信号の電圧と、ノイズ成分を含む基準信号の電圧との差分が演算される。この技術 40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】 日本国特開 2006-121652 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

固定パターンノイズ等のノイズ成分を低減する従来技術では、後段の信号処理回路のダ 50

イナミックレンジを大きくする必要がある。このため、撮像装置からの基準信号と撮像信号との電圧差が所定の電圧以上である必要がある。しかし、基準信号と撮像信号との電圧差の精度を確保する技術は開示されていない。特に、暗時における撮像信号と基準信号との電圧差は小さいため、上記の電圧差が信号処理の精度に大きく影響する。

【0006】

電圧差の精度を確保するためにオペアンプなどを使用することにより所定の電圧差を生成することが考えられる。オペアンプなどを用いた場合、トランジスタ、抵抗、および容量などの素子が10個以上必要である。このため、撮像装置のサイズが大きくなる。撮像装置が内視鏡などの用途で用いられる場合、製品のサイズが大きくなる、または撮像装置を製品に搭載できない可能性がある。

10

【0007】

本発明は、基準信号と撮像信号との差の演算精度を確保することができる撮像装置、内視鏡、および内視鏡システムを提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の第1の態様によれば、撮像装置は、複数の画素と、画素信号処理回路と、基準信号生成回路と、レベルシフト回路と、信号出力端子と、を有する。前記複数の画素は、画素信号を出力する。前記画素信号処理回路は、前記画素信号を処理し、かつ、前記画素信号に基づく撮像信号を出力する。前記基準信号生成回路は、基準信号を生成する。前記レベルシフト回路は、前記撮像信号の第1のレベルを、前記第1のレベルが前記基準信号の第2のレベルから離れる方向にシフトさせる。または、前記レベルシフト回路は、前記第2のレベルを、前記第2のレベルが前記第1のレベルから離れる方向にシフトさせる。前記信号出力端子は、前記基準信号生成回路によって生成された前記基準信号と、前記レベルシフト回路によって前記第1のレベルがシフトされた前記撮像信号とを撮像信号処理回路に出力する。または、前記信号出力端子は、前記レベルシフト回路によって前記第2のレベルがシフトされた前記基準信号と、前記画素信号処理回路から出力された前記撮像信号とを出力する。前記撮像信号処理回路は、前記信号出力端子から出力された前記基準信号と前記撮像信号との差を演算する。

20

【0009】

本発明の第2の態様によれば、第1の態様において、前記複数の画素に光が入射しないときに前記信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの大きさの関係と、前記複数の画素に光が入射したときに前記信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの大きさの関係とは、同一であってもよい。

30

【0010】

本発明の第3の態様によれば、第1の態様において、前記複数の画素に光が入射しないときに前記信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの差は、前記信号出力端子から出力されうる前記基準信号と前記撮像信号とのレベルの差の最大値に対して20%以内であってもよい。

【0011】

本発明の第4の態様によれば、第1の態様において、前記撮像装置は、前記画素信号処理回路を動作させる基準電圧を生成する基準電圧生成回路をさらに有してもよい。前記基準信号生成回路は、前記基準電圧から前記基準信号を生成してもよい。

40

【0012】

本発明の第5の態様によれば、内視鏡は、被検体に挿入される挿入部を有する。前記撮像装置が前記挿入部の先端に配置されてもよい。

【0013】

本発明の第6の態様によれば、内視鏡システムは、内視鏡と、前記撮像信号処理回路と、画像信号生成回路とを有する。前記画像信号生成回路は、前記撮像信号処理回路によって演算された前記差に基づく差信号を処理し、かつ、前記差信号に基づく画像信号を生成する。

50

【発明の効果】

【0014】

上記の各態様によれば、レベルシフト回路は、撮像信号の第1のレベルを、第1のレベルが基準信号の第2のレベルから離れる方向にシフトさせる。または、レベルシフト回路は、第2のレベルを、第2のレベルが第1のレベルから離れる方向にシフトさせる。このため、基準信号と撮像信号との差の演算精度を確保することができる。

【図面の簡単な説明】

【0015】

【図1】本発明の実施形態の内視鏡システムの構成を示す模式図である。

【図2】本発明の実施形態の内視鏡システムの構成を示すブロック図である。

10

【図3】本発明の実施形態の内視鏡システムにおける第1のチップの構成を示すブロック図である。

【図4】本発明の実施形態の内視鏡システムにおける第1のチップの回路図である。

【図5】本発明の実施形態の内視鏡システムにおける基準電流源の回路図である。

【図6】本発明の実施形態の内視鏡システムにおける基準電流源の回路図である。

【図7】本発明の実施形態の内視鏡システムにおける撮像部の動作を示すタイミングチャートである。

【図8】本発明の実施形態の変形例の内視鏡システムにおける第1のチップの構成を示すブロック図である。

【図9】本発明の実施形態の変形例の内視鏡システムにおける第1のチップの回路図である。

20

【発明を実施するための形態】

【0016】

図面を参照し、本発明の実施形態を説明する。

【0017】

図1は、本発明の実施形態の内視鏡システム1の構成を示している。図1に示すように、内視鏡システム1は、内視鏡2と、伝送ケーブル3と、操作部4と、コネクタ部5と、プロセッサ6と、表示装置7とを有する。

【0018】

内視鏡2は、被検体に挿入される挿入部100を有する。挿入部100は、伝送ケーブル3の一部である。挿入部100は、被検体の内部に挿入される。内視鏡2は、被検体の内部の画像を撮像することにより撮像信号（画像データ）を生成する。内視鏡2は、生成された撮像信号をプロセッサ6に出力する。図2に示す撮像部20（撮像装置）が挿入部100の先端101に配置されている。挿入部100において、先端101と反対側の端部に、操作部4が接続される。操作部4は、内視鏡2に対する各種操作を受け付ける。

30

【0019】

伝送ケーブル3は、内視鏡2の撮像部20とコネクタ部5とを接続する。撮像部20によって生成された撮像信号は、伝送ケーブル3を介してコネクタ部5に出力される。

【0020】

コネクタ部5は、内視鏡2とプロセッサ6とに接続されている。コネクタ部5は、内視鏡2から出力された撮像信号に所定の信号処理を行う。さらに、コネクタ部5は、アナログの撮像信号をデジタル信号にA/D変換する。コネクタ部5は、デジタル信号である画像信号をプロセッサ6に出力する。

40

【0021】

プロセッサ6は、コネクタ部5から出力された画像信号に所定の画像処理を行う。さらに、プロセッサ6は、内視鏡システム1の全体を統括的に制御する。

【0022】

表示装置7は、プロセッサ6によって処理された画像信号に対応する画像を表示する。また、表示装置7は、内視鏡システム1に関する各種情報を表示する。

【0023】

50

内視鏡システム 1 は、被検体に照射される照明光を生成する光源装置を有する。図 1 では、光源装置は省略されている。

【0024】

図 2 は、内視鏡システム 1 の内部の構成を示している。図 2 に示すように、内視鏡システム 1 は、撮像部 20 と、伝送ケーブル 3 と、コネクタ部 5 と、プロセッサ 6 とを有する。

【0025】

撮像部 20 は、第 1 のチップ 21（撮像素子）と、第 2 のチップ 22 とを有する。第 1 のチップ 21 は、受光部 23 と、読み出し部 24 と、タイミング生成部 25 と、バッファ 26 とを有する。撮像部 20 は、撮像装置として機能する。

10

【0026】

受光部 23 は、複数の画素を有し、入射した光に基づく撮像信号を生成する。読み出し部 24 は、受光部 23 によって生成された撮像信号を読み出す。さらに、読み出し部 24 は、基準信号を生成する。タイミング生成部 25 は、コネクタ部 5 から出力された基準クロック信号と同期信号とに基づいてタイミング信号を生成する。タイミング生成部 25 によって生成されたタイミング信号は読み出し部 24 に出力される。読み出し部 24 は、タイミング信号に従って撮像信号を読み出す。バッファ 26 は、受光部 23 から読み出された撮像信号と基準信号とを一時的に保持する。第 1 のチップ 21 のより詳細な構成については、図 3 を参照して後述する。

【0027】

20

第 2 のチップ 22 は、バッファ 27 を有する。バッファ 27 は、第 1 のチップ 21 から出力された撮像信号を、伝送ケーブル 3 を介して、コネクタ部 5 に出力する。第 1 のチップ 21 と第 2 のチップ 22 とに搭載される回路の組み合わせは、設定に応じて適宜変更可能である。

【0028】

プロセッサ 6 によって生成された電源電圧と、グランド電圧とが伝送ケーブル 3 によって撮像部 20 に伝送される。撮像部 20 において、電源電圧を伝送する信号線と、グランド電圧を伝送する信号線との間には、電源安定用のコンデンサ C100 が配置されている。

【0029】

30

コネクタ部 5 は、アナログ・フロント・エンド部 51（以下、AFE 部 51 という）と、前処理部 52 と、制御信号生成部 53 とを有する。コネクタ部 5 は、内視鏡 2（撮像部 20）とプロセッサ 6 とを電氣的に接続する。コネクタ部 5 と撮像部 20 とは、伝送ケーブル 3 により接続される。コネクタ部 5 とプロセッサ 6 とは、コイルケーブルにより接続される。

【0030】

AFE 部 51（撮像信号処理回路）は、基準信号と撮像信号との差を演算する。さらに、AFE 部 51 は、この差に基づく撮像信号に A/D 変換を行う。AFE 部 51 は、A/D 変換によりデジタル信号に変換された撮像信号を前処理部 52 に出力する。

【0031】

40

前処理部 52 は、AFE 部 51 から出力されたデジタルの撮像信号に対して、縦ライン除去およびノイズ除去等の所定の信号処理を行う。前処理部 52 は、信号処理が行われた撮像信号をプロセッサ 6 に出力する。

【0032】

内視鏡 2 の各部の動作の基準となる基準クロック信号がプロセッサ 6 から制御信号生成部 53 に供給される。例えば、基準クロック信号の周波数は、27MHz である。制御信号生成部 53 は、基準クロック信号に基づいて、各フレームのスタート位置を表す同期信号を生成する。制御信号生成部 53 は、基準クロック信号と同期信号とを、伝送ケーブル 3 を介して撮像部 20 のタイミング生成部 25 に出力する。制御信号生成部 53 によって生成される同期信号は、水平同期信号と垂直同期信号とを含む。

50

【0033】

プロセッサ6は、内視鏡システム1の全体を統括的に制御する制御装置である。プロセッサ6は、電源部61と、画像信号処理部62と、クロック生成部63とを有する。

【0034】

電源部61は、電源電圧を生成する。電源部61は、電源電圧とグランド電圧とを、コネクタ部5と伝送ケーブル3とを介して撮像部20に出力する。

【0035】

画像信号処理部62（画像信号生成回路）は、前処理部52によって処理されたデジタルの撮像信号に対して、所定の画像処理を行う。所定の画像処理は、同時化处理、ホワイトバランス（WB）調整処理、ゲイン調整処理、ガンマ補正処理、デジタルアナログ（D/A）変換処理、およびフォーマット変換処理等である。画像信号処理部62は、この画像処理により、撮像信号を画像信号に変換する。つまり、画像信号処理部62は、AFE部51によって演算された差に基づく撮像信号（差信号）を処理し、かつ、撮像信号に基づく画像信号を生成する。画像信号処理部62は、生成された画像信号を表示装置7に出力する。

10

【0036】

クロック生成部63は、内視鏡システム1の各部の動作の基準となる基準クロックを生成する。クロック生成部63は、生成された基準クロック信号を制御信号生成部53に出力する。

【0037】

表示装置7は、画像信号処理部62から出力された画像信号に基づいて、撮像部20が撮像した画像を表示する。表示装置7は、液晶または有機EL（Electro Luminescence）等の表示パネルを有する。

20

【0038】

第1のチップ21の詳細な構成について説明する。図3は、第1のチップ21の構成を示している。図4は、第1のチップ21の回路構成を示している。図3と図4とに示すように、第1のチップ21は、受光部23と、読み出し部24と、タイミング生成部25と、バッファ26と、基準電流源29と、定電流源290とを有する。

【0039】

制御信号生成部53によって生成された基準クロック信号と同期信号とがタイミング生成部25に入力される。タイミング生成部25は、基準クロック信号と同期信号とに基づいて、各種の制御信号を生成する。タイミング生成部25は、生成された制御信号を読み出し部24の垂直走査部241と、ノイズ除去部243と、水平走査部245と、基準信号生成部248のノイズ除去部243aと、バッファ26のマルチプレクサ263aとに出力する。

30

【0040】

受光部23は、撮像信号を出力する複数の画素230を有する。図4では、代表として4つの画素230が示されている。読み出し部24は、受光部23の複数の画素230のそれぞれから出力される撮像信号と、基準信号生成部248から出力される基準信号とを読み出す。撮像信号が読み出される期間と、基準信号が読み出される期間とは異なる。読み出し部24は、読み出された撮像信号と基準信号とをバッファ26に転送する。

40

【0041】

読み出し部24の詳細な構成について説明する。読み出し部24は、垂直走査部241（行選択回路）と、電流源242と、ノイズ除去部243（画素信号処理回路）と、列ソースフォロアバッファ244と、水平走査部245と、基準電圧生成部246（基準電圧生成回路）と、基準信号生成部248（基準信号生成回路）と、レベルシフト部249（レベルシフト回路）とを有する。

【0042】

垂直走査部241は、タイミング生成部25から入力される制御信号に基づいて、制御信号 $\phi T1<M>$ （ $M=0, 1, 2, \dots, m-1, m$ ）と、制御信号 $\phi T2<M>$ と

50

、制御信号 $\phi R<M>$ とを出力する。制御信号 $\phi T1<M>$ と、制御信号 $\phi T2<M>$ と、制御信号 $\phi R<M>$ とは、受光部23の複数の画素230のうち選択された行 $<M>$ の画素230に出力される。複数の画素230は、画素信号とノイズ信号とを垂直転送線239に出力する。画素信号は、画素230に入射した光に基づく成分を含む。ノイズ信号は、複数の画素230による信号のばらつきと、画素230がリセットされたときのノイズとを含む。垂直転送線239は、受光部23の複数の画素230の列方向に沿って配置されている。受光部23の複数の画素230の複数列のそれぞれに対応して垂直転送線239が配置されている。画素信号とノイズ信号とは、垂直転送線239によってノイズ除去部243に転送される。

【0043】

ノイズ除去部243は、画素信号とノイズ信号との差分に対応する撮像信号を生成する。つまり、ノイズ除去部243は、複数の画素230による信号のばらつきと、画素230のリセット時のノイズとを画素信号から除去する。これによって、ノイズ除去部243は、複数の画素230に入射した光による成分に基づく撮像信号を出力する。ノイズ除去部243の詳細については、後述する。

【0044】

水平走査部245は、タイミング生成部25から供給される制御信号に基づいて、制御信号 $\phi HCLK<N>$ ($N=0, 1, 2, \dots, n-1, n$)を出力する。制御信号 $\phi HCLK<N>$ は、受光部23の複数の画素230のうち選択された列 $<N>$ に対応する読み出し回路に出力される。ノイズ除去部243によって処理された撮像信号は、読み出し回路を介して水平転送線258に転送される。水平転送線258は、受光部23の複数の画素230の行方向に沿って配置されている。撮像信号は、水平転送線258によってバッファ26に転送される。

【0045】

受光部23の詳細な構成について説明する。受光部23は、二次元のマトリクス状に配置された複数の画素230を有する。複数の画素230は、光電変換素子231（フォトダイオード）と、光電変換素子232と、電荷変換部233と、転送トランジスタ234と、転送トランジスタ235と、画素リセットトランジスタ236と、画素ソースフォロアトランジスタ237と、選択トランジスタ238とを有する。受光部23と、電流源242と、ノイズ除去部243と、列ソースフォロアバッファ244と、水平走査部245とは、撮像信号生成部240として機能する。撮像信号生成部240は、複数の光電変換素子231と複数の光電変換素子232とのそれぞれに蓄積された電荷を電圧に変換することにより画素信号を生成する。

【0046】

光電変換素子231と光電変換素子232とは、第1の端子と第2の端子とを有する。光電変換素子231の第1の端子は、グランドに接続されている。光電変換素子231の第2の端子は、転送トランジスタ234の第1の端子に接続されている。光電変換素子232の第1の端子は、グランドに接続されている。光電変換素子232の第2の端子は、転送トランジスタ235の第1の端子に接続されている。光電変換素子231と光電変換素子232とは、外部から光を受光し、かつ、受光量に応じた電荷を蓄積する。

【0047】

電荷変換部233は、浮遊拡散容量（フローティングディフュージョン）で構成される。電荷変換部233は、光電変換素子231と光電変換素子232とに蓄積された電荷を電圧に変換する。

【0048】

転送トランジスタ234は、第1の端子と、第2の端子と、ゲートとを有する。転送トランジスタ234の第1の端子と第2の端子とは、ソースまたはドレインである。転送トランジスタ234の第1の端子は、光電変換素子231の第2の端子に接続されている。転送トランジスタ234の第2の端子は、電荷変換部233に接続されている。制御信号 $\phi T1$ が、垂直走査部241から転送トランジスタ234のゲートに供給される。転送ト

10

20

30

40

50

ランジスタ 234 は、垂直走査部 241 から制御信号 $\phi T1$ が供給されることにより、オン状態となる。これによって、転送トランジスタ 234 は、光電変換素子 231 から電荷変換部 233 に電荷を転送する。

【0049】

転送トランジスタ 235 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。転送トランジスタ 235 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。転送トランジスタ 235 の第 1 の端子は、光電変換素子 232 の第 2 の端子に接続されている。転送トランジスタ 235 の第 2 の端子は、電荷変換部 233 に接続されている。制御信号 $\phi T2$ が、垂直走査部 241 から転送トランジスタ 235 のゲートに供給される。転送トランジスタ 235 は、垂直走査部 241 から制御信号 $\phi T2$ が供給されることにより、オン状態となる。これによって、転送トランジスタ 235 は、光電変換素子 232 から電荷変換部 233 に電荷を転送する。このとき、画素信号が生成される。

10

【0050】

画素リセットトランジスタ 236 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。画素リセットトランジスタ 236 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。電源電圧 VDD が、画素リセットトランジスタ 236 の第 1 の端子に入力される。画素リセットトランジスタ 236 の第 2 の端子は、電荷変換部 233 に接続されている。制御信号 ϕR が、垂直走査部 241 から画素リセットトランジスタ 236 のゲートに供給される。画素リセットトランジスタ 236 は、垂直走査部 241 から制御信号 ϕR が供給されることにより、オン状態となる。これによって、画素リセットトランジスタ 236 は、電荷変換部 233 の電位を所定電位にリセットする。このとき、画素 230 がリセットされ、かつ、ノイズ信号が生成される。

20

【0051】

画素ソースフォロアトランジスタ 237 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。画素ソースフォロアトランジスタ 237 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。電源電圧 VDD が、画素ソースフォロアトランジスタ 237 の第 1 の端子に入力される。画素ソースフォロアトランジスタ 237 の第 2 の端子は、選択トランジスタ 238 の第 1 の端子に接続されている。電荷変換部 233 によって電圧に変換された信号（画素信号またはノイズ信号）が、画素ソースフォロアトランジスタ 237 のゲートに入力される。画素ソースフォロアトランジスタ 237 は、電荷変換部 233 によって電圧に変換された撮像信号とノイズ信号とを、選択トランジスタ 238 を介して垂直転送線 239 に出力する。

30

【0052】

選択トランジスタ 238 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。選択トランジスタ 238 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。選択トランジスタ 238 の第 1 の端子は、画素ソースフォロアトランジスタ 237 の第 2 の端子に接続されている。選択トランジスタ 238 の第 2 の端子は、垂直転送線 239 に接続されている。図示していない選択信号が、垂直走査部 241 から選択トランジスタ 238 のゲートに供給される。選択トランジスタ 238 は、垂直走査部 241 から選択信号が供給されることにより、オン状態となる。これによって、選択トランジスタ 238 は、画素ソースフォロアトランジスタ 237 と垂直転送線 239 とを電氣的に接続する。

40

【0053】

上記のように、2つの光電変換素子と2つの転送トランジスタとが1つの画素 230 に含まれる。1つの光電変換素子と1つの転送トランジスタとが1つの画素 230 に含まれてもよい。あるいは、3つ以上の光電変換素子と3つ以上の転送トランジスタとが1つの画素 230 に含まれてもよい。

【0054】

電流源 242 は、トランジスタで構成される。電流源 242 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。電流源 242 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。電流源 242 の第 1 の端子は、垂直転送線 239 に接続されている。電

50

流源 242 の第 2 の端子は、グラウンドに接続されている。バイアス電圧 V_{bias1} が、電流源 242 のゲートに入力される。電流源 242 は、画素 230 を駆動し、かつ、画素 230 から出力された撮像信号とノイズ信号とを垂直転送線 239 に読み出す。垂直転送線 239 に読み出された撮像信号とノイズ信号とは、ノイズ除去部 243 に入力される。

【0055】

ノイズ除去部 243 は、転送容量 252 と、クランプスイッチ 253 とを有する。転送容量 252 は、第 1 の端子と第 2 の端子とを有する。転送容量 252 の第 1 の端子は、垂直転送線 239 に接続されている。転送容量 252 の第 2 の端子は、列ソースフォロアバッファ 244 のゲートに接続されている。クランプスイッチ 253 は、トランジスタである。クランプスイッチ 253 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。クランプ電圧 V_{clp} が、基準電圧生成部 246 からクランプスイッチ 253 の第 1 の端子に供給される。クランプスイッチ 253 の第 2 の端子は、転送容量 252 の第 2 の端子と列ソースフォロアバッファ 244 のゲートとに接続されている。制御信号 ϕ_{VCL} がタイミング生成部 25 からクランプスイッチ 253 のゲートに入力される。

【0056】

タイミング生成部 25 から制御信号 ϕ_{VCL} がクランプスイッチ 253 のゲートに入力されることにより、クランプスイッチ 253 はオン状態となる。このとき、転送容量 252 は、基準電圧生成部 246 から供給されるクランプ電圧 V_{clp} によりリセットされる。ノイズ除去部 243 は、画素信号とノイズ信号との差分に対応する撮像信号を生成する。つまり、ノイズ成分が除去された撮像信号を生成する。ノイズ除去部 243 によってノイズ成分が除去された撮像信号は、列ソースフォロアバッファ 244 のゲートに入力される。上記の構成により、ノイズ除去部 243 は、画素信号を処理し、かつ、画素信号に基づく撮像信号を出力する。ノイズ除去部 243 は、画素信号処理回路として機能する。

【0057】

ノイズ除去部 243 は、サンプリング用のコンデンサ（サンプリング容量）を必要としない。このため、転送容量 252 が列ソースフォロアバッファ 244 の入力容量に対する十分な容量であればよい。さらに、サンプリング容量がないため、第 1 のチップ 21 におけるノイズ除去部 243 の占有面積は小さい。

【0058】

列ソースフォロアバッファ 244 は、トランジスタである。列ソースフォロアバッファ 244 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。列ソースフォロアバッファ 244 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。電源電圧 V_{DD} が列ソースフォロアバッファ 244 の第 1 の端子に入力される。列ソースフォロアバッファ 244 の第 2 の端子は、列選択スイッチ 254 の第 1 の端子に接続されている。ノイズ除去部 243 を介して撮像信号が列ソースフォロアバッファ 244 のゲートに入力される。

【0059】

列選択スイッチ 254 は、トランジスタである。列選択スイッチ 254 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。列選択スイッチ 254 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。列選択スイッチ 254 の第 1 の端子は、列ソースフォロアバッファ 244 の第 2 の端子に接続されている。列選択スイッチ 254 の第 2 の端子は、水平転送線 258 に接続されている。制御信号 $\phi_{HCLK<N>}$ が水平走査部 245 から列選択スイッチ 254 のゲートに供給される。列選択スイッチ 254 は、水平走査部 245 から制御信号 $\phi_{HCLK<N>}$ が供給されることにより、オン状態となる。これによって、列選択スイッチ 254 は、受光部 23 の複数の画素 230 のうち選択された列 $<N>$ の垂直転送線 239 の撮像信号を水平転送線 258 に出力する。

【0060】

レベルシフト部 249 は、抵抗である。レベルシフト部 249 は、第 1 の端子と第 2 の端子とを有する。レベルシフト部 249 の第 1 の端子は、水平転送線 258 に接続されている。レベルシフト部 249 の第 2 の端子は、水平リセットトランジスタ 256 の第 2 の端子と定電流源 257 の第 1 の端子とに接続されている。レベルシフト部 249 は、水平

転送線 258 に出力された撮像信号の第 1 のレベルを、第 1 のレベルが基準信号 V_{ref} の第 2 のレベルから離れる方向にシフトさせる。レベルシフト部 249 の第 1 の端子の電圧は、レベルシフト部 249 の第 2 の端子の電圧よりも高い。したがって、レベルシフト部 249 は、水平転送線 258 に出力された撮像信号の第 1 のレベルを、よりレベルが低い方向にシフトさせる。レベルシフト部 249 は、レベルシフト回路として機能する。レベルシフト部 249 は、撮像信号の転送経路において、ノイズ除去部 243 とバッファ 26 との間に配置されている。

【0061】

水平リセットトランジスタ 256 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。水平リセットトランジスタ 256 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。水平リセット電圧 V_{clr} が水平リセットトランジスタ 256 の第 1 の端子に入力される。水平リセットトランジスタ 256 の第 2 の端子は、レベルシフト部 249 の第 2 の端子に接続されている。制御信号 ϕ_{HCLR} がタイミング生成部 25 から水平リセットトランジスタ 256 のゲートに入力される。水平リセットトランジスタ 256 は、タイミング生成部 25 から制御信号 ϕ_{HCLR} が入力されることにより、オン状態となる。これによって、水平リセットトランジスタ 256 は、水平転送線 258 をリセットする。

【0062】

定電流源 257 は、定電流源 290 を構成する。定電流源 257 は、トランジスタである。定電流源 257 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。定電流源 257 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。定電流源 257 の第 1 の端子は、レベルシフト部 249 の第 2 の端子に接続されている。定電流源 257 の第 2 の端子は、グランドに接続されている。バイアス電圧 V_{bias2} が、定電流源 257 のゲートに入力される。定電流源 257 は、列ソースフォロアバッファ 244 を駆動し、かつ、撮像信号を垂直転送線 239 から水平転送線 258 に読み出す。水平転送線 258 に読み出された撮像信号は、レベルシフト部 249 を介してバッファ 26 に入力され、かつ保持される。

【0063】

基準電圧生成部 246 の詳細な構成について説明する。基準電圧生成部 246 は、抵抗 291 と、抵抗 292 と、スイッチ 293 と、サンプル容量 294 と、オペアンプ 295 と、オペアンプ 296 とを有する。

【0064】

抵抗 291 と抵抗 292 とは、第 1 の端子と第 2 の端子とを有する。電源電圧 V_{DD} が抵抗 291 の第 1 の端子に入力される。抵抗 291 の第 2 の端子は、抵抗 292 の第 1 の端子とスイッチ 293 の第 1 の端子とに接続されている。抵抗 292 の第 1 の端子は、抵抗 291 の第 2 の端子とスイッチ 293 の第 1 の端子とに接続されている。抵抗 292 の第 2 の端子は、グランドに接続されている。抵抗 291 と抵抗 292 とは、抵抗分圧回路を構成する。

【0065】

スイッチ 293 は、トランジスタである。スイッチ 293 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。スイッチ 293 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。スイッチ 293 の第 1 の端子は、抵抗 291 の第 2 の端子と抵抗 292 の第 1 の端子とに接続されている。スイッチ 293 の第 2 の端子は、サンプル容量 294 の第 1 の端子に接続されている。制御信号 ϕ_{VSH} がタイミング生成部 25 からスイッチ 293 のゲートに供給される。スイッチ 293 は、タイミング生成部 25 から制御信号 ϕ_{VSH} が入力されることにより、オン状態となる。これによって、スイッチ 293 は、抵抗 291 と抵抗 292 との抵抗値に応じた電圧をサンプル容量 294 に出力する。

【0066】

サンプル容量 294 は、第 1 の端子と第 2 の端子とを有する。サンプル容量 294 の第 1 の端子は、スイッチ 293 の第 2 の端子と、オペアンプ 295 の第 1 の端子と、オペアンプ 296 の第 1 の端子とに接続されている。サンプル容量 294 の第 2 の端子は、グラ

10

20

30

40

50

ンドに接続されている。サンプル容量 294 は、抵抗 291 と抵抗 292 との抵抗値に応じた電圧を保持する。

【0067】

オペアンプ 295 とオペアンプ 296 とは、第 1 の端子と第 2 の端子とを有する。オペアンプ 295 とオペアンプ 296 との第 1 の端子は、サンプル容量 294 の第 1 の端子とスイッチ 293 の第 2 の端子とに接続されている。オペアンプ 295 の第 2 の端子は、画素ソースフォロアトランジスタ 237b のゲートに接続されている。オペアンプ 295 は、サンプル容量 294 に保持されている電圧に応じた電圧 V_{fd_H} を画素ソースフォロアトランジスタ 237b に出力する。オペアンプ 296 は、サンプル容量 294 に保持されている電圧に応じたクランプ電圧 V_{clp} を第 2 の端子から出力する。

10

【0068】

上記の構成により、基準電圧生成部 246 は、制御信号 ϕ_{VSH} に応じたタイミングで、電源電圧 V_{DD} からクランプ電圧 V_{clp} と電圧 V_{fd_H} とを生成する。つまり、基準電圧生成部 246 は、ノイズ除去部 243 を動作させるクランプ電圧 V_{clp} (基準電圧) を生成する。また、基準電圧生成部 246 は、基準信号生成部 248 を動作させる電圧 V_{fd_H} を生成する。基準電圧生成部 246 は、基準電圧生成回路として機能する。

【0069】

基準信号生成部 248 の詳細な構成について説明する。基準信号生成部 248 は、画素ソースフォロアトランジスタ 237b と、電流源 242a と、ノイズ除去部 243a と、列ソースフォロアバッファ 244a と、列選択スイッチ 254a とを有する。

20

【0070】

画素ソースフォロアトランジスタ 237b は、上述した画素ソースフォロアトランジスタ 237 と同様の構成を有する。画素ソースフォロアトランジスタ 237b は、第 1 の端子と、第 2 の端子と、ゲートとを有する。画素ソースフォロアトランジスタ 237b の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。電源電圧 V_{DD} が、画素ソースフォロアトランジスタ 237b の第 1 の端子に入力される。画素ソースフォロアトランジスタ 237b の第 2 の端子は、垂直転送線 239a に接続されている。電圧 V_{fd_H} が、基準電圧生成部 246 から画素ソースフォロアトランジスタ 237b のゲートに入力される。画素ソースフォロアトランジスタ 237b は、電圧 V_{fd_H} に応じた基準信号を垂直転送線 239a に出力する。

30

【0071】

電流源 242a は、上述した電流源 242 と同様の構成を有する。電流源 242a は、トランジスタで構成される。電流源 242a は、第 1 の端子と、第 2 の端子と、ゲートとを有する。電流源 242a の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。電流源 242a の第 1 の端子は、垂直転送線 239a に接続されている。電流源 242a の第 2 の端子は、グランドに接続されている。バイアス電圧 V_{bias1} が、電流源 242a のゲートに入力される。電流源 242a は、画素ソースフォロアトランジスタ 237b を駆動し、かつ、画素ソースフォロアトランジスタ 237b から出力された基準信号を垂直転送線 239a に読み出す。垂直転送線 239a に読み出された基準信号は、ノイズ除去部 243a に入力される。ノイズ除去部 243a に入力される基準信号には、ノイズ成分が含まれる。

40

【0072】

ノイズ除去部 243a は、上述したノイズ除去部 243 と同様の構成を有する。ノイズ除去部 243a は、転送容量 252a と、クランプスイッチ 253a とを有する。転送容量 252a は、第 1 の端子と第 2 の端子とを有する。転送容量 252a の第 1 の端子は、垂直転送線 239a に接続されている。転送容量 252a の第 2 の端子は、列ソースフォロアバッファ 244a のゲートに接続されている。クランプスイッチ 253a は、トランジスタである。クランプスイッチ 253a は、第 1 の端子と、第 2 の端子と、ゲートとを有する。クランプ電圧 V_{clp} が、基準電圧生成部 246 からクランプスイッチ 253a の第 1 の端子に供給される。クランプスイッチ 253a の第 2 の端子は、転送容量 252

50

aの第2の端子と列ソースフォロアバッファ244aのゲートとに接続されている。制御信号 ϕVCL がタイミング生成部25からクランプスイッチ253aのゲートに入力される。

【0073】

タイミング生成部25から制御信号 ϕVCL がクランプスイッチ253aのゲートに入力されることにより、クランプスイッチ253aはオン状態となる。このとき、転送容量252aは、基準電圧生成部246から供給されるクランプ電圧 V_{clp} によりリセットされる。ノイズ除去部243aは、ノイズ成分が除去された基準信号を生成する。ノイズ除去部243aによってノイズ成分が除去された基準信号は、列ソースフォロアバッファ244aのゲートに入力される。上記の構成により、ノイズ除去部243aは、基準信号を処理し、かつ、基準信号に基づくアナログ信号を出力する。ノイズ除去部243aは、基準信号処理回路として機能する。

10

【0074】

列ソースフォロアバッファ244aは、上述した列ソースフォロアバッファ244と同様の構成を有する。列ソースフォロアバッファ244aは、トランジスタである。列ソースフォロアバッファ244aは、第1の端子と、第2の端子と、ゲートとを有する。列ソースフォロアバッファ244aの第1の端子と第2の端子とは、ソースまたはドレインである。電源電圧 VDD が列ソースフォロアバッファ244aの第1の端子に入力される。列ソースフォロアバッファ244aの第2の端子は、列選択スイッチ254aの第1の端子に接続されている。ノイズ除去部243aを介して基準信号が列ソースフォロアバッファ244aのゲートに入力される。

20

【0075】

列選択スイッチ254aは、上述した列選択スイッチ254と同様の構成を有する。列選択スイッチ254aは、トランジスタである。列選択スイッチ254aは、第1の端子と、第2の端子と、ゲートとを有する。列選択スイッチ254aの第1の端子と第2の端子とは、ソースまたはドレインである。列選択スイッチ254aの第1の端子は、列ソースフォロアバッファ244aの第2の端子に接続されている。列選択スイッチ254aの第2の端子は、水平転送線258aに接続されている。制御信号 $\phi HCLK<N>$ が水平走査部245から列選択スイッチ254aのゲートに供給される。列選択スイッチ254aは、水平走査部245から制御信号 $\phi HCLK<N>$ が供給されることにより、オン状態となる。これによって、列選択スイッチ254aは、垂直転送線239aの基準信号を水平転送線258aに出力する。水平転送線258aに出力された基準信号 V_{ref} は、バッファ26に転送される。

30

【0076】

基準信号生成部248は、撮像信号生成部240に含まれる複数の回路のうち、少なくとも1つと等価な構造を有する。具体的には、基準信号生成部248は、画素ソースフォロアトランジスタ237、電流源242、ノイズ除去部243、列ソースフォロアバッファ244、および列選択スイッチ254と等価な構造を有する。つまり、基準信号生成部248は、上記の回路に対応する画素ソースフォロアトランジスタ237b、電流源242a、ノイズ除去部243a、列ソースフォロアバッファ244a、および列選択スイッチ254aを有する。

40

【0077】

上記の構成により、基準信号生成部248は、基準信号 V_{ref} を生成する。共通の電源電圧 VDD が画素ソースフォロアトランジスタ237と、列ソースフォロアバッファ244と、画素ソースフォロアトランジスタ237bと、列ソースフォロアバッファ244aとに供給される。共通のバイアス電圧 V_{bias1} が電流源242と電流源242aとに供給される。共通のクランプ電圧 V_{clp} がノイズ除去部243とノイズ除去部243aとに供給される。このため、基準信号 V_{ref} は、撮像信号生成部240によって生成される撮像信号に存在する電源電圧の揺らぎ成分と同じ位相の揺らぎ成分を有する。

【0078】

50

基準信号V r e fのレベルは、光が画素230に入射しないときに撮像信号生成部240によって生成される撮像信号のレベルとほぼ同一である。つまり、基準信号V r e fのレベルは、暗時の撮像信号のレベルとほぼ同一である。基準信号V r e fのレベルが暗時の撮像信号のレベルとほぼ同一となるように、抵抗291と抵抗292との抵抗値が設定されている。このため、基準信号V r e fのレベルは、ほぼ一定である。画素ソースフォロアトランジスタ237bのゲートの電圧は、暗時の画素ソースフォロアトランジスタ237のゲートの電圧に近い。画素ソースフォロアトランジスタ237bのゲートの電圧と暗時の画素ソースフォロアトランジスタ237のゲートの電圧とが同一である必要はない。

【0079】

10

定電流源257aは、定電流源290を構成する。定電流源257aは、上述した定電流源257と同様の構成を有する。定電流源257aは、トランジスタである。定電流源257aは、第1の端子と、第2の端子と、ゲートとを有する。定電流源257aの第1の端子と第2の端子とは、ソースまたはドレインである。定電流源257aの第1の端子は、水平転送線258aに接続されている。定電流源257aの第2の端子は、グランドに接続されている。バイアス電圧V b i a s 2が、定電流源257aのゲートに入力される。定電流源257aは、列ソースフォロアバッファ244aを駆動し、かつ、基準信号V r e fを垂直転送線239aから水平転送線258aに読み出す。水平転送線258aに読み出された基準信号V r e fは、バッファ26に入力され、かつ保持される。

【0080】

20

バッファ26は、水平転送線258から入力される撮像信号と、水平転送線258aから入力される基準信号V r e fとをそれぞれ個別に保持する。バッファ26は、基準信号生成部248によって生成された基準信号V r e fと、レベルシフト部249によって第1のレベルがシフトされた撮像信号とをA F E部51に出力する信号出力端子310を有する。バッファ26は、タイミング生成部25からの制御信号φ M U X S E Lに基づいて、基準信号V r e fと撮像信号とを切り替える。バッファ26から出力された基準信号V r e fと撮像信号とは、第2のチップ22のバッファ27を介して、A F E部51に出力される。

【0081】

バッファ26の詳細な構成について説明する。バッファ26は、サンプルホールド部261と、マルチプレクサ263aと、出力バッファ31とを有する。サンプルホールド部261は、サンプルホールドスイッチ261eと、サンプル容量261fと、オペアンプ261gと、抵抗R1と、抵抗R2とを有する。

30

【0082】

サンプルホールドスイッチ261eは、トランジスタである。サンプルホールドスイッチ261eは、第1の端子と、第2の端子と、ゲートとを有する。サンプルホールドスイッチ261eの第1の端子と第2の端子とは、ソースまたはドレインである。サンプルホールドスイッチ261eの第1の端子は、レベルシフト部249の第2の端子に接続されている。サンプルホールドスイッチ261eの第2の端子は、サンプル容量261fの第1の端子とオペアンプ261gの非反転入力端子とに接続されている。制御信号φ H S Hがタイミング生成部25からサンプルホールドスイッチ261eのゲートに供給される。

40

【0083】

サンプル容量261fは、第1の端子と第2の端子とを有する。サンプル容量261fの第1の端子は、サンプルホールドスイッチ261eの第2の端子とオペアンプ261gの非反転入力端子とに接続されている。サンプル容量261fの第2の端子は、グランドに接続されている。サンプル容量261fは、撮像信号の電圧を保持する。

【0084】

オペアンプ261gは、非反転入力端子(+)と、反転入力端子(-)と、出力端子とを有する。オペアンプ261gの非反転入力端子は、サンプルホールドスイッチ261eの第2の端子とサンプル容量261fの第1の端子とに接続されている。オペアンプ26

50

1 g の反転入力端子は、抵抗 R 1 の第 1 の端子と抵抗 R 2 の第 2 の端子とに接続されている。オペアンプ 2 6 1 g の出力端子は、マルチプレクサ 2 6 3 a と抵抗 R 1 の第 2 の端子とに接続されている。オペアンプ 2 6 1 g の出力端子から出力された撮像信号は、マルチプレクサ 2 6 3 a に入力される。また、オペアンプ 2 6 1 g の出力端子から出力された撮像信号は、抵抗 R 1 を介してオペアンプ 2 6 1 g の反転入力端子に入力される。さらに、基準信号生成部 2 4 8 からの基準信号 V r e f が、抵抗 R 2 を介してオペアンプ 2 6 1 g の反転入力端子に入力される。

【0085】

抵抗 R 1 と抵抗 R 2 とは、第 1 の端子と第 2 の端子とを有する。抵抗 R 1 の第 1 の端子は、オペアンプ 2 6 1 g の反転入力端子と抵抗 R 2 の第 2 の端子とに接続されている。抵抗 R 1 の第 2 の端子は、オペアンプ 2 6 1 g の出力端子に接続されている。抵抗 R 2 の第 1 の端子は、水平転送線 2 5 8 a に接続されている。抵抗 R 2 の第 2 の端子は、オペアンプ 2 6 1 g の反転入力端子と抵抗 R 1 の第 1 の端子とに接続されている。

【0086】

上記の構成により、サンプルホールド部 2 6 1 は、サンプルホールドスイッチ 2 6 1 e がオン状態になったとき、撮像信号の電圧をサンプル容量 2 6 1 f に保持する。サンプルホールド部 2 6 1 は、サンプルホールドスイッチ 2 6 1 e がオフ状態であるとき、サンプル容量 2 6 1 f に保持された電圧をオペアンプ 2 6 1 g に出力する。

【0087】

マルチプレクサ 2 6 3 a は、タイミング生成部 2 5 から入力される制御信号 ϕ M U X S E L に基づいて、オペアンプ 2 6 1 g から出力された撮像信号と、基準信号生成部 2 4 8 から出力された基準信号 V r e f とのいずれか 1 つを出力バッファ 3 1 に出力する。出力バッファ 3 1 は、信号入力端子と信号出力端子 3 1 0 とを有する。出力バッファ 3 1 の信号入力端子は、マルチプレクサ 2 6 3 a に接続されている。出力バッファ 3 1 は、撮像信号と基準信号 V r e f とを交互に第 2 のチップ 2 2 に出力する。上記の構成により、バッファ 2 6 は、撮像信号と基準信号とを出力する出力回路として機能する。第 2 のチップ 2 2 は、伝送ケーブル 3 を介して、撮像信号と基準信号 V r e f とをコネクタ部 5 に伝送する。

【0088】

基準電流源 2 9 は、電流を定電流源 2 9 0 に供給する。基準電流源 2 9 の詳細な構成について説明する。図 5 と図 6 とは、基準電流源 2 9 の構成を示している。図 5 に示す構成は、基準電流源 2 9 の構成の第 1 の例である。図 5 に示すように、基準電流源 2 9 は、P 型のトランジスタ P 1、P 2 と、N 型のトランジスタ N 1 と、抵抗 R a とを有する。基準電流源 2 9 は、カレントミラーを構成する。基準電流源 2 9 は、抵抗 R a の電圧 V a に応じた電流を出力する。基準電流源 2 9 からの電流値は、電圧 V a を抵抗 R a の抵抗値 (R a) で除算した値 (V a / R a) である。

【0089】

図 6 に示す構成は、基準電流源 2 9 の構成の第 2 の例である。図 6 に示すように、基準電流源 2 9 は、P 型のトランジスタ P 1、P 2 と、N 型のトランジスタ N 1、N 2 と、オペアンプ A M P と、抵抗 R a、R 3、R 4 とを有する。抵抗 R 3 と抵抗 R 4 とは、抵抗分圧回路を構成する。抵抗 R 3 と抵抗 R 4 との抵抗値の比に応じた電圧がオペアンプ A M P の非反転入力端子に入力される。オペアンプ A M P は、非反転入力端子に入力された電圧を増幅する。オペアンプ A M P から出力された電圧は、トランジスタ N 2 のゲートに入力される。トランジスタ N 2 は、ゲートに入力された電圧に応じた電流を抵抗 R a に出力する。基準電流源 2 9 は、抵抗 R a の電圧 V a に応じた電流を出力する。基準電流源 2 9 からの電流値は、電圧 V a を抵抗 R a の抵抗値 (R a) で除算した値 (V a / R a) である。

【0090】

定電流源 2 5 7 は、基準電流源 2 9 の電流を所定のゲイン (α) 倍した電流を、レベルシフト部 2 4 9 を介して列ソースフォロアバッファ 2 4 4 に与える。レベルシフト部 2 4

10

20

30

40

50

9の第1の端子と第2の端子との間の電圧 V_r は、(1)式で表される。(1)式において、 R_{249} はレベルシフト部249の抵抗値である。

$$V_r = \alpha \times V_a / R_a \times R_{249} \quad \dots (1)$$

【0091】

電圧 V_r は、画素230からの撮像信号の第1のレベルと、第1のレベルがレベルシフト部249によってシフトされた撮像信号のレベルとの差である。暗時の撮像信号の第1のレベルは、基準信号 V_{ref} のレベルとほぼ同一である。したがって、基準信号 V_{ref} のレベルと、暗時に第1のレベルがレベルシフト部249によってシフトされた撮像信号のレベルとの差は、上記の電圧 V_r とほぼ同一である。電圧 V_r は、電圧 V_a のばらつきと、抵抗 R_a およびレベルシフト部249のミスマッチとに応じて決まる。

10

【0092】

基準信号 V_{ref} と暗時の撮像信号との電圧差は小さいため、この電圧差が信号処理の精度に大きく影響する。電圧 V_a のばらつきが電源電圧 V_{DD} のばらつきと同一である場合、そのばらつきは電圧 V_a に対して5%以下である。例えば、抵抗 R_a およびレベルシフト部249の抵抗値のミスマッチは数%（例えば3%）である。このため、電圧 V_r のばらつきは、電源電圧 V_{DD} のばらつきと、抵抗 R_a およびレベルシフト部249の抵抗値のミスマッチとがない場合の電圧 V_r に対して10%以下である。この結果、電圧 V_r のばらつきは小さい。つまり、基準信号 V_{ref} と暗時の撮像信号との電圧差の精度が良い。したがって、基準信号 V_{ref} と撮像信号との差の演算精度を確保することができる。

20

【0093】

読み出し部24の列ソースフォロアバッファ244と基準信号生成部248の列ソースフォロアバッファ244aとのトランジスタサイズは、ほぼ同一である。また、読み出し部24の列ソースフォロアバッファ244と基準信号生成部248の列ソースフォロアバッファ244aとのバイアス電流値は、ほぼ同一である。このため、列ソースフォロアバッファ244と列ソースフォロアバッファ244aとによる、撮像信号と基準信号 V_{ref} との電圧差のばらつきを最小限にすることができる。つまり、基準信号 V_{ref} と暗時の撮像信号との電圧差の精度がより良い。

【0094】

撮像部20の駆動タイミングについて説明する。図7は、撮像部20の動作を示している。図7では、制御信号 $\phi_{R<0>}$ と、制御信号 $\phi_{T1<0>}$ と、制御信号 $\phi_{R<1>}$ と、制御信号 $\phi_{T1<1>}$ と、制御信号 ϕ_{VSH} と、制御信号 ϕ_{VCL} と、制御信号 $\phi_{HCLK<0>}$ と、制御信号 $\phi_{HCLK<1>}$ と、制御信号 $\phi_{HCLK<2>}$ と、制御信号 ϕ_{HCLR} と、制御信号 ϕ_{HSH} と、制御信号 ϕ_{MUXSEL} と、出力電圧 V_{out} との波形が示されている。出力電圧 V_{out} は、出力バッファ31の信号出力端子310の電圧である。図7において、横方向は時間を示し、縦方向は電圧を示している。

30

【0095】

図7では、複数の画素230の行<0>および行<1>から信号が読み出される動作と、読み出された信号が出力バッファ31から出力される動作とを説明する。図7では説明の便宜上、画素230に光電変換素子231が含まれ、かつ画素230に光電変換素子232が含まれない場合の動作が示されている。画素230に複数の光電変換素子が含まれる場合、図7に示す1ライン分の動作が、画素230に含まれる光電変換素子の数だけ繰り返される。図7において、制御信号 ϕ_R と制御信号 ϕ_{T1} とについては、行<0>と行<1>とに対応する各信号が示されている。また、図7において、制御信号 ϕ_{HCLK} については、列<1>と列<2>とに対応する各信号が示されている。

40

【0096】

図7に示すように、制御信号 ϕ_{VCL} がHighレベルになることにより、クランプスイッチ253がオンになる。パルス状の制御信号 $\phi_{R<0>}$ がHighレベルになることにより、画素リセットトランジスタ236がオンになる。これによって、画素230特有のばらつきと、画素230がリセットされたときのノイズとを含むノイズ信号が画素23

50

0 から垂直転送線 2 3 9 に出力される。クランプスイッチ 2 5 3 がオン状態に保たれることにより、列ソースフォロアバッファ 2 4 4 のゲート電圧がクランプ電圧 V_{clp} となる。このクランプ電圧 V_{clp} は、制御信号 ϕVSH が High レベルから Low レベルになるタイミングで固定される。

【0097】

クランプスイッチ 2 5 3 がオンになるタイミングでクランプスイッチ 2 5 3 a がオンになる。制御信号 ϕVSH が High レベルから Low レベルになるタイミングで、基準電圧生成部 2 4 6 からの電圧 V_{fd_H} が固定される。

【0098】

制御信号 ϕVCL が Low レベルになることにより、クランプスイッチ 2 5 3 がオフになる。パルス状の制御信号 $\phi T1<0>$ が High レベルになることにより、転送トランジスタ 2 3 4 がパルス状にオンになる。これによって、電荷変換部 2 3 3 の電圧に基づく撮像信号が画素 2 3 0 から垂直転送線 2 3 9 に読み出される。電荷変換部 2 3 3 の電圧は、光電変換素子 2 3 1 から転送された電荷に基づく。この動作により、転送容量 2 5 2 を介して、撮像信号が列ソースフォロアバッファ 2 4 4 のゲートに出力される。

【0099】

列ソースフォロアバッファ 2 4 4 のゲートに出力される撮像信号は、クランプ電圧 V_{clp} を基準としてサンプリングされた信号である。つまり、列ソースフォロアバッファ 2 4 4 のゲートに出力される撮像信号は、ノイズ成分が除去された信号である。

【0100】

クランプ電圧 V_{clp} を基準として撮像信号がサンプリングされた後、制御信号 $\phi HCLR$ が Low レベルになることにより、水平リセットトランジスタ 2 5 6 がオフになる。これによって、水平転送線 2 5 8 のリセットが解除される。

【0101】

その後、パルス状の制御信号 $\phi HCLK<0>$ が High レベルになることにより、列 $<0>$ の列選択スイッチ 2 5 4 がオンになる。これによって、列 $<0>$ の撮像信号が水平転送線 2 5 8 に転送される。同時に、パルス状の制御信号 ϕHSH が High レベルになることにより、サンプルホールドスイッチ 2 6 1 e がパルス状にオンになる。これによって、撮像信号がレベルシフト部 2 4 9 とサンプルホールドスイッチ 2 6 1 e とを介してサンプル容量 2 6 1 f にサンプリングされる。

【0102】

その後、Low レベルの制御信号 $\phi MUXSEL$ がマルチプレクサ 2 6 3 a に入力される。これによって、サンプル容量 2 6 1 f にサンプリングされた撮像信号が出力バッファ 3 1 に出力される。制御信号 $\phi MUXSEL$ が Low レベルになるタイミングで、パルス状の制御信号 $\phi HCLR$ が High レベルになることにより、水平リセットトランジスタ 2 5 6 がオンになる。これによって、水平転送線 2 5 8 が再度リセットされる。さらに、制御信号 $\phi HCLR$ が Low レベルになることにより、水平リセットトランジスタ 2 5 6 がオフになる。これによって、水平転送線 2 5 8 のリセットが解除される。

【0103】

その後、High レベルの制御信号 $\phi MUXSEL$ がマルチプレクサ 2 6 3 a に入力される。これによって、基準信号生成部 2 4 8 によって生成された基準信号 V_{ref} が出力バッファ 3 1 に出力される。

【0104】

その後、制御信号 $\phi HCLK<1>$ が High になることにより、列 $<1>$ の列選択スイッチ 2 5 4 がオンになる。これによって、列 $<1>$ の撮像信号が水平転送線 2 5 8 に転送される。同時に、パルス状の制御信号 ϕHSH が High レベルになることにより、サンプルホールドスイッチ 2 6 1 e がパルス状にオンになる。これによって、撮像信号がレベルシフト部 2 4 9 とサンプルホールドスイッチ 2 6 1 e とを介してサンプル容量 2 6 1 f にサンプリングされる。

【0105】

10

20

30

40

50

その後、Lowレベルの制御信号 ϕ MUXSELがマルチプレクサ263aに入力される。これによって、サンプル容量261fにサンプリングされた撮像信号がオペアンプ261gにより増幅されて出力バッファ31に出力される。制御信号 ϕ MUXSELがLowレベルになるタイミングで、パルス状の制御信号 ϕ HCLRがHighレベルになることにより、水平リセットトランジスタ256がオンになる。これによって、水平転送線258が再度リセットされる。さらに、制御信号 ϕ HCLRがLowレベルになることにより、水平リセットトランジスタ256がオフになる。これによって、水平転送線258のリセットが解除される。

【0106】

行<0>の全ての画素230の撮像信号が水平転送線258に転送された後、制御信号 ϕ VSHと制御信号 ϕ VCLとがHighレベルになる。これによって、行<0>の撮像信号の転送が終了し、かつ、行<1>の撮像信号の転送が開始される。

10

【0107】

上記の動作が複数の画素230の列数（または読み出しが必要な列数）だけ繰り返される。これによって、撮像信号と基準信号Vrefとが交互に出力バッファ31から出力される。1ライン分の読み出し動作が複数の画素230の行数（または読み出しが必要な行数）だけ繰り返されることにより、1フレームの撮像信号と基準信号Vrefとが出力される。

【0108】

図7では、選択トランジスタ238に供給される制御信号は示されていない。画素230からノイズ信号または画素信号が読み出されるとき、選択トランジスタ238はオンになる。

20

【0109】

図7では、行<0>かつ列<0>の撮像信号Vsigは、光が画素230に入射しないとき（暗時）に生成される信号である。このときの基準信号Vrefと撮像信号Vsigとの差は最小出力である。図7では、行<0>かつ列<1>の撮像信号Vsigは、光電変換素子231が飽和する光が画素230に入射したとき（飽和時）に生成される信号である。このときの基準信号Vrefと撮像信号Vsigとの差は最大出力である。

【0110】

光が画素230に入射するか否かに関わらず、基準信号Vrefと撮像信号とのレベルの大きさの関係は一定である。例えば、図7では、光が画素230に入射しないときの撮像信号のレベルは基準信号Vrefのレベルよりも小さい。同様に、光が画素230に入射しないときの撮像信号のレベルは基準信号Vrefのレベルよりも小さい。つまり、撮像信号のレベルは基準信号Vrefのレベルよりも常に小さい。このように、複数の画素230に光が入射しないときに信号出力端子310から出力された基準信号Vrefと撮像信号とのレベルの大きさの関係と、複数の画素230に光が入射したときに信号出力端子310から出力された基準信号Vrefと撮像信号とのレベルの大きさの関係とは同一である。このため、AFE部51が、基準信号Vrefと撮像信号とを正しく処理することができる。

30

【0111】

基準信号Vrefと撮像信号とのレベルの差は0よりも大きい。複数の画素230に光が入射しないとき、基準信号Vrefと撮像信号とのレベルの差は最小である。複数の画素230に入射する光が増加することにより、基準信号Vrefと撮像信号とのレベルの差が増加する。基準信号Vrefと撮像信号とのレベルの差が増加することにより、基準信号Vrefと撮像信号とのレベルの差の精度が向上する。一方、複数の画素230に光が入射しないときの基準信号Vrefと撮像信号とのレベルの差が減少することにより、AFE部51におけるダイナミックレンジが増加する。

40

【0112】

差の精度とダイナミックレンジとを考慮することにより、撮像信号レベルのシフト量の設計値が決定される。例えば、複数の画素230に光が入射しないときに信号出力端子3

50

10から出力された基準信号V r e fと撮像信号とのレベルの差は、信号出力端子310から出力されうる基準信号V r e fと撮像信号とのレベルの差の最大値に対して20%以内である。複数の画素230に光が入射しないときに信号出力端子310から出力された基準信号V r e fと撮像信号とのレベルの差は、図7における最小出力である。信号出力端子310から出力されうる基準信号V r e fと撮像信号とのレベルの差の最大値は、図7における最大出力である。

【0113】

(変形例)

図8は、本発明の実施形態の変形例における第1のチップ21の構成を示している。図9は、本発明の実施形態の変形例における第1のチップ21の回路構成を示している。図8と図9とに示すように、第1のチップ21は、受光部23と、読み出し部24と、タイミング生成部25と、バッファ26と、基準電流源29と、定電流源290とを有する。

【0114】

図8と図9とにおいて、レベルシフト部249に関する構成以外の構成は、図3と図4とに示す構成と同様である。以下では、レベルシフト部249に関する構成についてののみ説明し、他の構成についての説明を省略する。

【0115】

レベルシフト部249の第1の端子は、水平転送線258aに接続されている。レベルシフト部249の第2の端子は、マルチプレクサ263aに接続されている。レベルシフト部249は、基準信号V r e fの第2のレベルを、第2のレベルが撮像信号の第1のレベルから離れる方向にシフトさせる。レベルシフト部249の第2の端子の電圧は、レベルシフト部249の第1の端子の電圧よりも高い。したがって、レベルシフト部249は、水平転送線258aに出力された基準信号V r e fの第2のレベルを、よりレベルが高い方向にシフトさせる。レベルシフト部249は、レベルシフト回路として機能する。レベルシフト部249は、基準信号V r e fの転送経路において、基準信号生成部248とバッファ26との間に配置されている。

【0116】

電流源300は、レベルシフト部249の第1の端子と第2の端子とに電流を供給する。水平リセットトランジスタ256の第2の端子と、定電流源257の第1の端子と、サンプルホールドスイッチ261eの第1の端子とは、水平転送線258に接続されている。

【0117】

上述したように、本発明の実施形態の撮像部20（撮像装置）は、複数の画素230と、ノイズ除去部243（画素信号処理回路）と、基準信号生成部248（基準信号生成回路）と、レベルシフト部249（レベルシフト回路）と、信号出力端子310とを有する。複数の画素230は、画素信号を出力する。ノイズ除去部243は、画素信号を処理し、かつ、画素信号に基づく撮像信号を出力する。画素信号に基づく撮像信号は、ノイズ成分が除去された撮像信号である。基準信号生成部248は、基準信号V r e fを生成する。レベルシフト部249は、撮像信号の第1のレベルを、第1のレベルが基準信号V r e fの第2のレベルから離れる方向にシフトさせる。または、レベルシフト部249は、第2のレベルを、第2のレベルが第1のレベルから離れる方向にシフトさせる。信号出力端子310は、基準信号生成部248によって生成された基準信号V r e fと、レベルシフト部249によって第1のレベルがシフトされた撮像信号とをA F E部51（撮像信号処理回路）に出力する。または、信号出力端子310は、レベルシフト部249によって第2のレベルがシフトされた基準信号V r e fと、ノイズ除去部243から出力された撮像信号とを出力する。A F E部51は、信号出力端子310から出力された基準信号V r e fと撮像信号との差を演算する。

【0118】

本発明の各態様の撮像装置は、複数の画素230、ノイズ除去部243、基準信号生成部248、レベルシフト部249、および信号出力端子310以外の構成の少なくとも1

10

20

30

40

50

つを有していなくてもよい。

【0119】

本発明の実施形態の内視鏡2は、被検体に挿入される挿入部100を有する。撮像部20が挿入部100の先端に配置されている。

【0120】

本発明の実施形態の内視鏡システム1は、内視鏡2と、AFE部51（撮像信号処理回路）と、画像信号処理部62（画像信号生成回路）とを有する。画像信号処理部62は、AFE部51によって演算された差に基づく差信号を処理し、かつ、差信号に基づく画像信号を生成する。

【0121】

本発明の各態様の内視鏡システムは、内視鏡2、AFE部51、および画像信号処理部62以外の構成の少なくとも1つを有していなくてもよい。

【0122】

本発明の実施形態では、レベルシフト部249の機能により、基準信号Vrefと撮像信号との差の演算精度を確保することができる。

【0123】

前述したように、列ソースフォロアバッファ244と列ソースフォロアバッファ244aとによる、撮像信号と基準信号Vrefとの電圧差のばらつきを最小限にすることができる。つまり、基準信号Vrefと暗時の撮像信号との電圧差の精度がより良い。

【0124】

複数の画素230に光が入射しないときの基準信号Vrefと撮像信号とのレベルの差は、信号出力端子310から出力されうる基準信号Vrefと撮像信号とのレベルの差の最大値に対して20%以内である。このため、AFE部51におけるダイナミックレンジが確保され、かつ、AFE部51から出力される信号のS/Nの低下が抑制される。ノイズ量が一定である場合、信号のS/Nはトランジスタの製造ばらつき等に依存する。複数の画素230に光が入射しないときの基準信号Vrefと撮像信号とのレベルの差が差の最大値に対して40%以内である場合と比較して、信号のS/Nが2～3dB良くなる。

【0125】

電源電圧の揺らぎ成分と同じ位相の揺らぎ成分（リップル成分）が画像信号のレベルに重畳している場合、従来技術のAFE回路は、画像信号に重畳された揺らぎ成分を除去することができない。このため、画質が劣化する。一方、本発明の実施形態における基準信号Vrefは、ノイズ除去部243を動作させる基準電圧から生成される。このため、基準信号Vrefは、撮像信号に存在する電源電圧の揺らぎ成分と同じ位相の揺らぎ成分を有する。この結果、AFE部51によって演算された、基準信号と撮像信号との差に基づく差信号における揺らぎ成分が低減される。したがって、画質の劣化が抑制される。

【0126】

以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

【産業上の利用可能性】

【0127】

本発明の各実施形態によれば、レベルシフト回路は、撮像信号の第1のレベルを、第1のレベルが基準信号の第2のレベルから離れる方向にシフトさせる。または、レベルシフト回路は、第2のレベルを、第2のレベルが第1のレベルから離れる方向にシフトさせる。このため、基準信号と撮像信号との差の演算精度を確保することができる。

【符号の説明】

【0128】

- 1 内視鏡システム
- 2 内視鏡

10

20

30

40

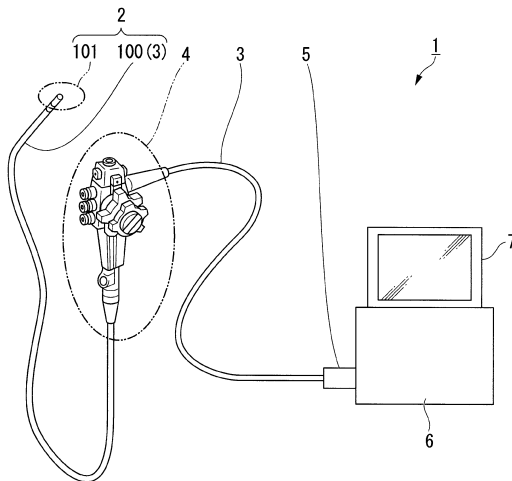
50

- 3 伝送ケーブル
- 4 操作部
- 5 コネクタ部
- 6 プロセッサ
- 7 表示装置
- 20 撮像部
- 21 第1のチップ
- 22 第2のチップ
- 23 受光部
- 24 読み出し部
- 25 タイミング生成部
- 26, 27 バッファ
- 51 アナログ・フロント・エンド部
- 52 前処理部
- 53 制御信号生成部
- 61 電源部
- 62 画像信号処理部
- 63 クロック生成部
- 100 挿入部
- 101 先端

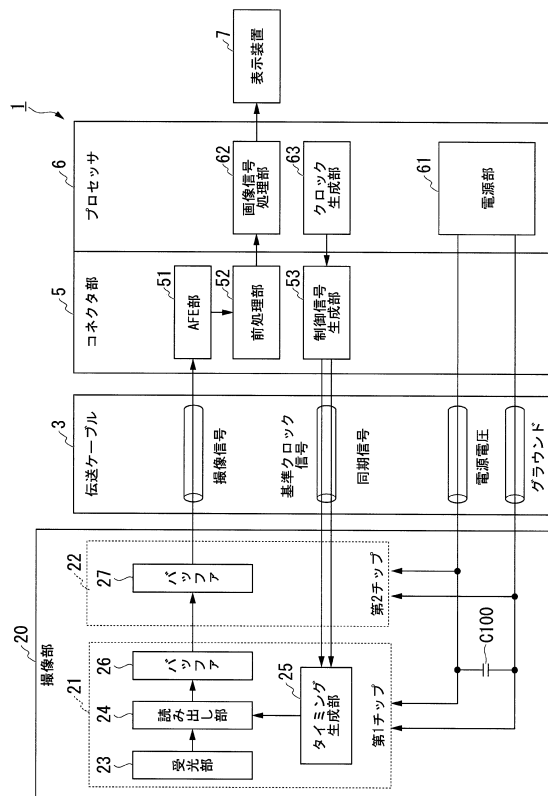
10

20

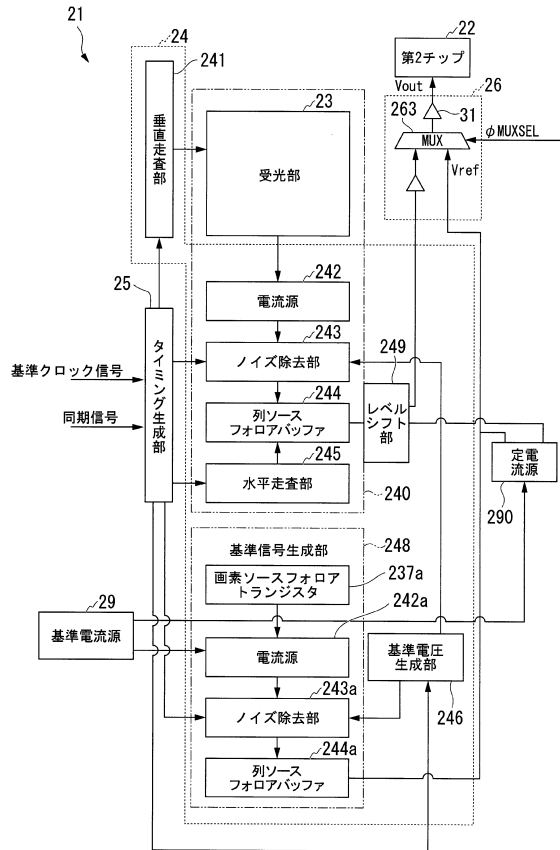
【図1】



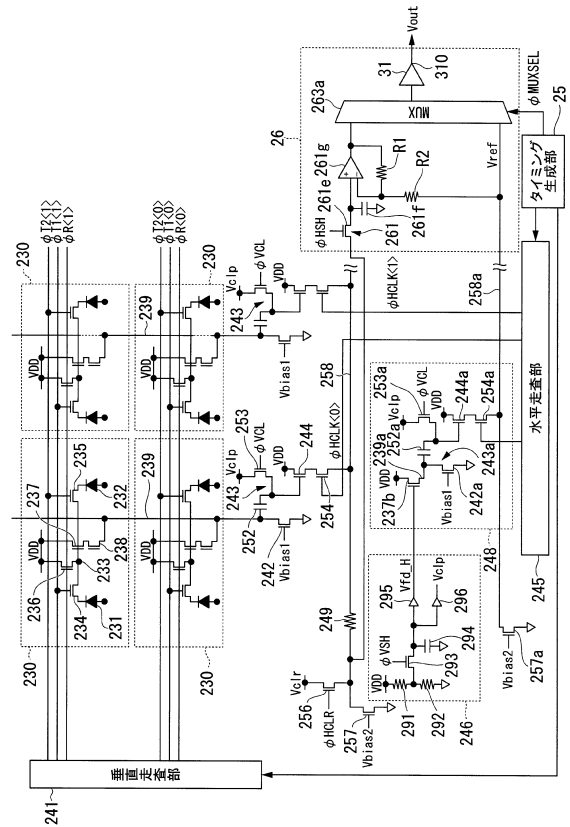
【図2】



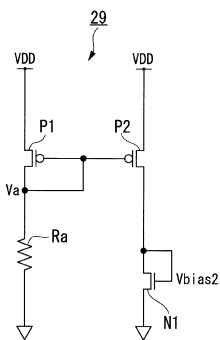
【図 3】



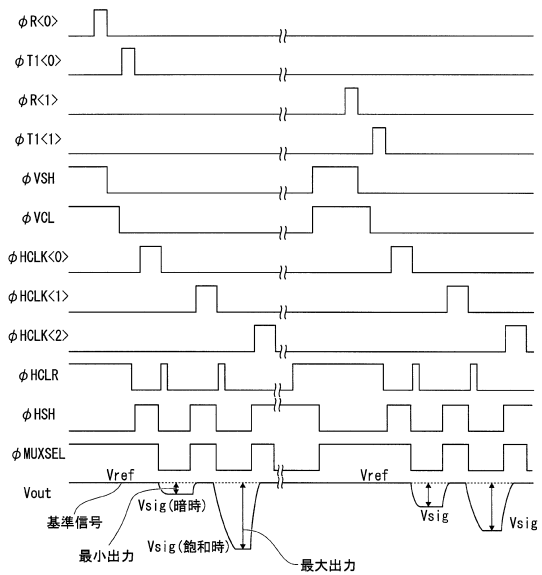
【図 4】



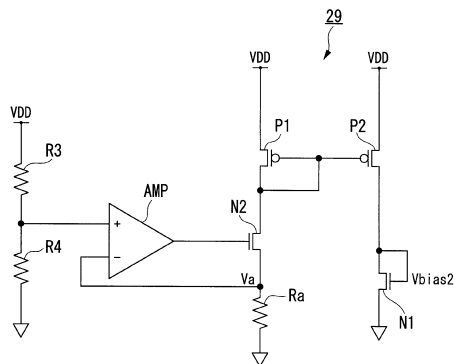
【図 5】



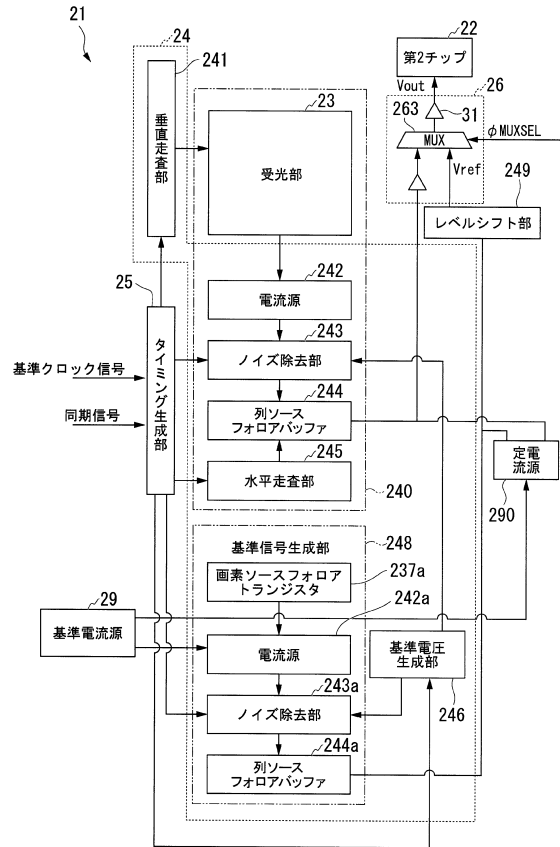
【圖 7】



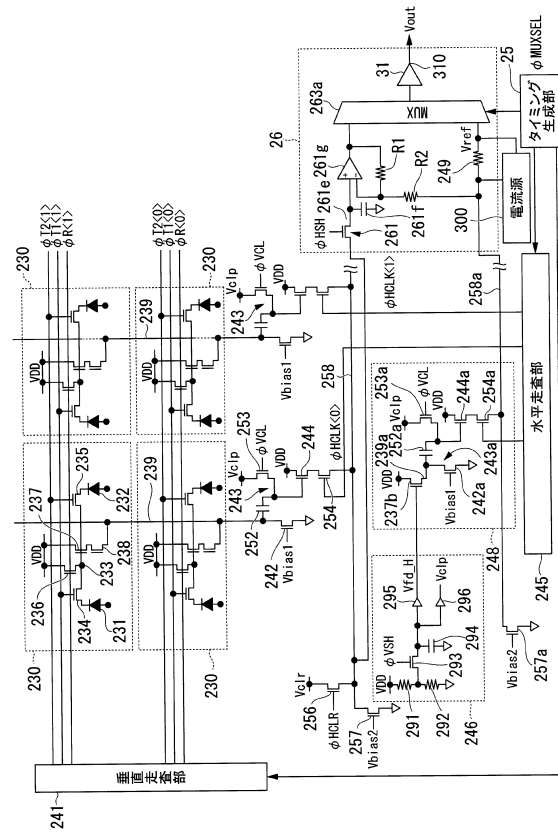
【圖 6】



【図 8】



【図 9】



フロントページの続き

審査官 梅本 達雄

(56)参考文献 国際公開第2014/115390 (WO, A1)

特開2011-239068 (JP, A)

特開2004-357059 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378

A61B 1/00 - 1/32

H04N 5/222 - 5/257

专利名称(译)	成像设备，内窥镜和内窥镜系统		
公开(公告)号	JP6405455B2	公开(公告)日	2018-10-17
申请号	JP2017513904	申请日	2015-04-23
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
当前申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	齋藤 匡史		
发明人	齋藤 匡史		
IPC分类号	H04N5/357 H04N5/378 H04N5/225 A61B1/045		
CPC分类号	A61B1/00009 A61B1/00018 A61B1/00045 A61B1/045 A61B1/05 A61B1/051 A61B1/0661 A61B5/1459 H04N5/357 H04N5/378 H04N2005/2255		
FI分类号	H04N5/357 H04N5/378 H04N5/225.300 H04N5/225.500 A61B1/045.611		
代理人(译)	塔奈澄夫 铃木史朗		
其他公开文献	JPWO2016170642A1		
外部链接	Espacenet		

摘要(译)

图像拾取装置具有多个像素，像素信号处理电路，参考信号生成电路，电平移位电路和信号输出端子。像素信号处理电路基于像素信号输出成像信号。其中，电平移位电路移动图像拾取信号的第一电平，使得第一电平移位远离参考信号的第二电平或移位第二电平，使得第二电平移位转移到第一级。其中，信号输出端输出参考信号和第一级移位到成像信号处理电路的成像信号，或者第二级移位的参考信号，还有一个信号。成像信号处理电路计算从信号输出端输出的参考信号与成像信号之间的差。

(19) 日本国特許庁 (JP)	(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6405455号 (P6405455)
(45) 発行日 平成30年10月17日 (2018. 10. 17)	(24) 登録日 平成30年9月21日 (2018. 9. 21)	
(51) Int. Cl. F 1 H 0 4 N 5 / 3 5 7 (2011. 01) H 0 4 N 5 / 3 7 8 (2011. 01) H 0 4 N 5 / 2 2 5 (2006. 01) A 6 1 B 1 / 0 4 5 (2006. 01)		
H O 4 N 5 / 3 5 7 H O 4 N 5 / 3 7 8 H O 4 N 5 / 2 2 5 3 0 0 H O 4 N 5 / 2 2 5 5 0 0 A 6 1 B 1 / 0 4 5 6 1 1		
請求項の数 6 (全 23 頁)		
(21) 出願番号 特願2017-513904 (P2017-513904)	(73) 特許権者 000000376	
(86) (22) 出願日 平成27年4月23日 (2015. 4. 23)	オリンパス株式会社	
(86) 国際出願番号 PCT/JP2015/062393	東京都八王子市石川町2 9 5 1 番地	
(87) 国際公開番号 W02016/170642	(74) 代理人 100106909	
(87) 国際公開日 平成28年10月27日 (2016. 10. 27)	弁理士 櫻井 澄雄	
審査請求日 平成30年1月16日 (2018. 1. 16)	(74) 代理人 100094400	
	弁理士 鈴木 三義	
	(74) 代理人 100086379	
	弁理士 高柴 忠夫	
	(74) 代理人 100139686	
	弁理士 鈴木 史朗	
	(72) 発明者 齋藤 匡史	
	東京都八王子市石川町2 9 5 1 番地 オリ ンパス株式会社内	
最終頁に続く		
(54) 【発明の名称】 撮像装置、内視鏡、および内視鏡システム		